

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-159582

(43)Date of publication of application : 09.07.1991

(51)Int.Cl.

H02N 2/00
H01L 27/04

(21)Application number : 02-074140

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.03.1990

(72)Inventor : ABE SUKEYUKI

(30)Priority

Priority number : 01151695 Priority date : 14.06.1989 Priority country : JP

01222029 29.08.1989

01222030 29.08.1989

JP

JP

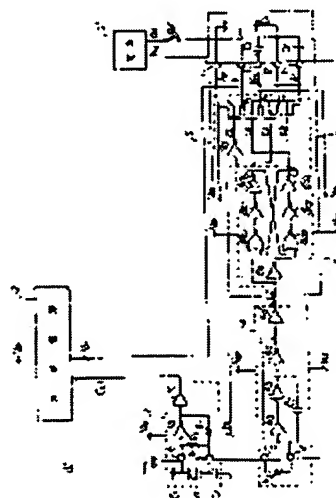
(54) SEMICONDUCTOR INTEGRATED CIRCUIT MAKING USE OF PIEZO-ELECTRIC TYPE VIBRATOR

(57)Abstract:

PURPOSE: To make it possible to feed boosting voltage as supply voltage at least to a crystal oscillation circuit and internal circuit by connecting external supply voltage between the second voltage value and first voltage value to a semiconductor integrated circuit.

CONSTITUTION: When a clock CA reaches H-level and when a clock DB reaches L-level, transistors F1 and F3 are closed, a charge injection capacitor C4 is charged with supply voltage-VSS, and electric potential of a terminal (g) is boosted in the negative direction at series composite on resistance of the transistors F1 and F3 and at time constant of the charge injection capacitor C4.

When the clock CA reaches L-level, and when the clock CB reaches H-level, the transistors F1 and F3 are



BEST AVAILABLE COPY

opened, and the transistors F2 and F4 are closed to start the charge of the charge capacitor C4. When exclusive switching operations of the transistors F1, F3 and the transistors F2, F4 are repeated, the electric potential of the terminal (g) is settled twice as large as the same steady value of the electric potential as supply voltage.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平3-159582

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月9日

H 02 N 2/00
H 01 L 27/04C 7052-5H
G 7514-5F

審査請求 未請求 請求項の数 6 (全13頁)

⑭ 発明の名称 圧電型振動子を用いる半導体集積回路

⑯ 特 願 平2-74140

⑰ 出 願 平2(1990)3月24日

優先権主張 ⑱ 平1(1989)6月14日 ⑲ 日本(JP) ⑳ 特願 平1-151695

㉑ 平1(1989)8月29日 ㉒ 日本(JP) ㉓ 特願 平1-222029

㉔ 平1(1989)8月29日 ㉕ 日本(JP) ㉖ 特願 平1-222030

㉗ 発 明 者 阿 部 祐 之 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

㉘ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉙ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

圧電型振動子を用いる半導体集積回路

2. 特許請求の範囲

(1) 第1の電圧値以上の電圧で動作する圧電型振動子を外部接続すべき 発振回路を有し、該

発振回路から出力される第1の発振クロックを所定内部回路の内部システムクロックとする圧電型振動子を用いる半導体集積回路であって、

前記第1の電圧値に比して低い第2の電圧値以上の電圧で動作する低電圧駆動型発振回路と、該低電圧駆動型発振回路から出力される第2の発振クロックに基づいて前記第1の電圧値以上の昇圧電圧を生成する昇圧回路とを備え、少なくとも前記 発振回路と前記内部回路とが前記昇圧電圧を電源電圧とすることを特徴とする圧電型振動子を用いる半導体集積回路。

(2) 第1の電圧値以上の電圧で動作する圧電型振動子を外部接続すべき 発振回路を有し、該

発振回路から出力される第1の発振クロックを

所定内部回路の内部システムクロックとする圧電型振動子を用いる半導体集積回路であって、

前記第1の電圧値に比して低い第2の電圧値以上の電圧で動作する低電圧駆動型発振回路と、供給されるクロック選択制御信号の如何で該低電圧駆動型発振回路から出力される第2の発振クロックと前記第1の発振クロックのいずれか一方に切換えて出力するクロック選択回路と、前記 発振回路の発振有無を直接又は間接的に検出して、無発振状態のときは前記クロック選択制御信号を第2の発振クロックの選択モードとし、発振状態のときは前記クロック選択制御信号を第1の発振クロックの選択モードとすると共に前記低電圧駆動型発振回路の発振を停止制御する 発振検出回路と、該クロック選択回路から出力される発振クロックに基づいて前記第1の電圧値以上の昇圧電圧を生成する昇圧回路とを備え、少なくとも前記 発振回路と前記内部回路とが前記昇圧電圧を電源電圧とすることを特徴とする圧電型振動子を用いる半導体集積回路。

(3) 第1の電圧値以上の電圧で動作する圧電型振動子を外部接続すべき 発振回路を有し、該

発振回路から出力される第1の発振クロックを所定内部回路の内部システムクロックとする圧電型振動子を用いる半導体集積回路であって、

前記第1の電圧値に比して低い第2の電圧値以上の電圧で動作する低電圧駆動型発振回路と、供給されるクロック選択制御信号の如何で該低電圧駆動型発振回路から出力される第2の発振クロックと前記第1の発振クロックのいずれか一方に切換えて出力するクロック選択回路と、前記 発振回路の発振有無を直接又は間接的に検出して、無発振状態のときは前記クロック選択制御信号を第2の発振クロックの選択モードとし、発振状態のときは前記クロック選択制御信号を第1の発振クロックの選択モードとすると共に前記低電圧駆動型発振回路の発振を停止制御する発振検出回路と、該クロック選択回路から選択出力される発振クロックに基づいて前記第1の電圧以上の昇圧電圧を生成する昇圧回路と、この昇圧電圧を定常電

圧とする定電圧回路とを備え、少なくとも前記

発振回路と前記内部回路とが前記定常電圧を電源電圧とすることを特徴とする圧電型振動子を用いる半導体集積回路。

(4) 前記圧電型振動子は水晶振動子であることを特徴とする請求項第1項乃至第3項のいずれか一項に記載の圧電型振動子を用いる半導体集積回路。

(5) 前記低電圧駆動型発振回路はCR発振回路であることを特徴とする請求項第1項乃至第3項のいずれか一項に記載の圧電型振動子を用いる半導体集積回路。

(6) 前記昇圧回路はコンデンサを有する逡倍電圧整流回路であることを特徴する請求項第1項乃至第3項のいずれか一項に記載の圧電型振動子を用いる半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、発振周波数の安定度の良い水晶振動子やセラミックス振動子などの圧電型振動子を用いる半導体集積回路に関し、特に、圧電型振動子

の発振開始電圧以下の低電圧電源による付勢だけでも圧電型振動子及び内部回路の正常動作を可能とする圧電型振動子を用いる半導体集積回路に関する。

(従来の技術)

水晶振動子やセラミックス振動子などの圧電型振動子を用いた水晶発振回路は発振周波数が非常に安定なことから、半導体集積回路のクロック発生器として多用されている。例えば水晶振動子を接続した水晶発振回路の周波数安定度は 10^{-5} 以上である。従来、例えば4ビットのMPU(マイクロ・プロセッサ・ユニット)半導体集積回路は、第10図に示すように、一般的に固有周波数32.768 kHzの水晶振動子1aを外部接続した水晶発振回路1と、これから生成されたクロックを内部システムクロックとして利用する中央処理回路等の内部回路2とに大別され、通常1.1 V以上の電源電圧の外部電源3でパワースイッチSWを介して集積回路に給電し、水晶発振回路1及び内部回路2はこれらの動作が充分可能の電源電圧レベルで付

勢されることを要す。電源電圧が投入されると、水晶発振回路1の発振が開始し、その発振クロックは内部システムクロックとして内部回路2へ送出され、これにより所定の処理が実行される。

(発明が解決しようとする課題)

しかしながら、水晶発振回路1の発振開始電圧値は、電氣的機械振動子である水晶振動子を用いる都合上、通常1.1 V程度であるため、その開始電圧値以上の電源電圧を持つ外部電源3の使用を余儀無くされていた。勿論、水晶発振回路1以外のCR発振回路などにおいては発振開始電圧値が水晶発振回路1のそれに比して低いので、1.1 V以下の外部電源で駆動するCR発振回路をクロック発生回路として使用することも考えられるが、CR発振回路自体の周波数安定度が水晶発振回路のそれよりも劣るので、マイクロ・プロセッサなどの高級なシステムクロックが必要とされる半導体集積回路には不向きである。また、半導体集積回路において中核的動作を行う内部回路に対し充分な電源電圧を給電する必要があるため、1.1 V

以下の電源では各ゲートの閾値電圧や論理振幅のノイズマージンの点で不充分であり、動作信頼性も乏しく、半導体製造プロセス上においても歩留りが悪い。

そこで、本発明は、上記問題点を解決するものであり、その課題は、まず低電圧の外部電源によりCR発振回路等の低電圧駆動型発振回路を発振させ、その発振クロックを内部システムクロックとして直接用いるのではなく、外部電源電圧よりも高い内部電源電圧を昇圧生成するための交流源ないしスイッチング制御信号として利用することにより、水晶発振回路の発振開始電圧以下の低電圧電源の給電だけでも、水晶発振回路の発振を可能とし、しかも内部回路の支障のない動作も保障し得る圧電型振動子を用いる半導体集積回路を提供することにある。

(発明が解決しようとする課題)

上記課題を解決するために、第1の電圧値(例えば1.1 V)以上の電圧で動作する水晶振動子やセラミックス振動子などの圧電型振動子を外部接

路の発振有無を直接又は間接的に検出して、無発振状態のときは前記クロック選択制御信号を第2の発振クロックの選択モードとし、発振状態のときは上記クロック選択制御信号を第1の発振クロックの選択モードとすると共に前記低電圧駆動型発振回路の発振を停止制御する水晶発振検出回路とを設け、上記クロック選択回路から出力される発振クロックが第1の発振クロック又は第2の発振クロックに拘わらず、その発振クロックに基づいて上記第1の電圧値以上の昇圧電圧を生成する昇圧回路としたものである。

また第3の手段としては、第2の手段に加えて、上記昇圧電圧を定常電圧とする定電圧回路を設け、この定常電圧を少なくとも上記水晶発振回路及び上記内部回路の電源電圧として給電するものである。

(作用)

第1の手段によれば、第2の電圧値と第1の電圧値との間の外部電源電圧を半導体集積回路に接続してこれを付勢すると、まず圧電型振動子を有

続すべき水晶発振回路を有し、この水晶発振回路から出力される第1の発振クロックを所定内部回路の内部システムクロックとする圧電型振動子を用いる半導体集積回路において、本発明の講じた第1の手段は、上記第1の電圧値に比して低い第2の電圧値(例えば0.7 V)以上の電圧で動作するCR発振回路などの低電圧駆動型発振回路と、この低電圧駆動型発振回路から出力される第2の発振クロックに基づいて上記第1の電圧値以上の昇圧電圧を生成する過倍整流回路などの昇圧回路とを設け、この昇圧電圧を少なくとも上記水晶発振回路及び上記内部回路とに電源電圧として給電するところにある。

上記第1の手段は本発明の基本的手段であるが、別に本発明は以下のような改良手段を提供する。

即ち、第2の手段としては上記の構成に加えて、供給されるクロック選択制御信号の如何で低電圧駆動型発振回路から出力される第2の発振クロックと第1の発振クロックのいずれか一方を切換えて出力するクロック選択回路と、上記水晶発振回

路の発振有無を直接又は間接的に検出して、無発振状態のときは前記クロック選択制御信号を第2の発振クロックの選択モードとし、発振状態のときは上記クロック選択制御信号を第1の発振クロックの選択モードとすると共に前記低電圧駆動型発振回路の発振を停止制御する水晶発振検出回路とを設け、上記クロック選択回路から出力される発振クロックが第1の発振クロック又は第2の発振クロックに拘わらず、その発振クロックに基づいて上記第1の電圧値以上の昇圧電圧を生成する昇圧回路としたものである。

ところで、水晶発振回路が発振を開始した後においても、低電圧駆動型発振回路の発振が継続する。この発振が停止すると、昇圧電圧が消滅し、水晶発振電圧回路の発振と内部回路の所要動作が停止してしまうが、低電圧駆動型発振回路の発振クロックは内部システムクロックとして利用され

るのではなく、昇圧回路の交流源ないしスイッチング制御信号としての意義を有している。一度水晶発振回路が発振して第1の発振クロックが生成されると、この第1の発振クロックは高品位の内部システムクロックとして内部回路へ供給され、内部回路における所要信号を作成するタイミングや同期をとるために利用されるが、エネルギーたる意義は殆どない。

第1の手段において、低電圧駆動型発振回路を付勢する低電圧の外部電源が電池であれば、第1の発振クロックの生成後における低電圧駆動型発振回路の発振継続が無効電力の消費を少なからずもたらす。また留意すべき点としては、水晶振動子自体は固有振動数（基本振動数）のほかにその奇数倍の周波数においてオーバートーン周波数を有しているため、水晶発振回路と低電圧駆動型発振回路の同時並列的な発振継続は予期せぬ周波数において同調共振ないしノイズを惹起し、却って水晶発振回路自体の優れた発振周波数安定度や電源電圧の安定性などを阻害する虞れがある。

クロックを得ることができる。

一般的に昇圧回路から出力される昇圧電圧にはリップルが含まれているため、第3の手段においては、この昇圧電圧を一定電圧に維持する定電圧回路が付設され、この定電圧が少なくとも水晶発振回路及び内部回路へ電源電圧として給電されている。このため、第2手段に比して水晶発振回路及び内部回路の動作安定性が高い。

〔実施例〕

次に、本発明に係る圧電型振動子を用いる半導体集積回路の実施例を添付図面に基づいて説明する。

第1実施例

第1図は本発明を4ビットMPU半導体集積回路に適用した第1実施例の概略をチップの外形と共に示すブロック図で、第2図は同実施例の回路構成を詳細に示す回路図である。

この実施例における4ビットMPU半導体集積回路10は、水晶発振回路1、内部回路2、CR発振回路4、及び2倍昇圧回路5とから概略構成さ

第2及び第3の手段においては、第1の発振クロックが生成されると、水晶発振検出回路がこの第1の発振クロックの発生を検知し、クロック選択回路に対し第1クロックの選択モードたるクロック選択制御信号を送出する。これによりクロック選択回路は水晶発振検出回路からの第1発振クロックを受容してこれを昇圧回路へ送出する。これと共に水晶発振検出回路は発振停止制御信号を低電圧駆動型発振回路へ送出し、この発振を停止させる。つまり、水晶発振回路が発振すると、その第1の発振クロックが内部システムクロックとして内部回路へ供給される共に、当該水晶発振回路及び内部回路の電源電圧を創出すべき交流源ないしスイッチング制御信号として昇圧回路にて利用されるから、初期時における電源電圧の立ち上げのための低電圧駆動型発振回路の発振継続が停止される。このため、上述の無効電力などの問題が解消され、低電圧電池の長寿命化を図ることができると共に、水晶発振回路と低電圧駆動型発振回路の同時並列的な発振継続が回避でき、高品位の

れている。

水晶発振回路1は外付けした固有振動数32.768KHzの水晶振動子1aを有し、後述する2倍昇圧回路5から出力される昇圧電位 V_H （負電位）を接地間との電源電圧として受容している。この水晶発振回路1から生成される周波数32.768KHzの発振クロックCL1はMPUの内部回路2へ内部システムクロックとして提供される。この水晶発振回路1の回路構成は、第2図に示す如く、インバータ1bと、これに並列接続した帰還抵抗 R_1 、 R_2 と、帰還抵抗 R_2 に並列で端子a、b間に接続した外付けの水晶振動子1a、水晶振動子1aのそれぞれ両極と接地間に介在する外付けのノイズ除去用コンデンサ C_1 、 C_2 と、インバータ1bの出力に付加されたバッファ用インバータ1cとから構成されている。

CR発振回路4は、増幅器を構成するインバータ4a、4b、4cと、帰還回路として並列C型の移相回路を構成する内部コンデンサ C_3 及び端子c、d間に接続した外付けの抵抗 R_3 と、バッ

ファ用インバータ4dとから構成されており、パワースイッチSWの閉成による低圧電源3' (0.7 V) の投入により、高電位 V_{DD} (接地電位 = 0 V) と低電位 V_{SS} (負電位 $= -0.7$ V) とで付勢されている。

2倍昇圧回路5は、2相クロック生成回路6と、スイッチ回路7と、端子e, g間に外付けされた電荷注入コンデンサ C_e と、低電位 V_{SS} の印加端子fとパワースイッチSWとの間に外付けされた電圧安定コンデンサ C_s と、昇圧電位 V_H の端子hとパワースイッチSWとの間に外付けされた充電コンデンサ C_c とから構成されている。2相クロック生成回路6は、CR発振回路4の発振クロックCL2を反転させるインバータ6aと、NORゲート6b₁, 6b₂を用いたR・Sフリップフロップ及び遅延用インバータ6c₁, 6c₂, 6d₁, 6d₂とから構成されている。またスイッチ回路7は、高電位 V_{DD} の端子iと昇圧電位 V_H の端子hとの間に直列接続されたPチャネル絶縁ゲート電界効果型トランジスタ F_1 , Nチャ

ネル絶縁ゲート電界効果型トランジスタ(MOSFET) F_2 , F_3 , F_4 を有し、トランジスタ F_1 のゲートには2相クロック生成回路6からの一方のクロックCAをインバータ7aを通して作成されたクロック \overline{CA} が供給され、またトランジスタ F_2 のゲートはクロックCAを受け、更にトランジスタ F_3 , F_4 のゲートは他方のクロックCBを受ける。

次に、上記の実施例の作用効果につき第3図を参照しつつ説明する。

まず、この4ビットMPU半導体集積回路10に低圧電源3' (電源電圧0.7 V) を接続し、パワースイッチSWを閉成すると、第3図(A)に示すように、 V_{SS} 電位 (負電位) が V_{DD} (ゼロ電位) から -0.7 Vに立ち下がり定常電源電圧に落ち着く。この低電圧の投入により、CR発振回路4の発振が開始され、第3図(C)に示すように、CR発振回路4の出力には論理振幅0.7 Vの発振クロックCL2が現れる。この発振クロックCL2が2相クロック生成回路に入力されると、第3

図(D)に示すように、発振クロックCL2の立ち下がり時点より遅延時間2dの時点で立ち下ると共に発振クロックCL2の立ち上がり時点より遅延時間dの時点で立ち上がるクロックCAが生成される。また、第3図(E)に示すように、発振クロックCL2の立ち上がり時点より遅延時間2dの時点で立ち下ると共に発振クロックCL2の立ち下がり時点より遅延時間dの時点で立ち上がるクロックCBが生成される。なお、ここで遅延時間2d, dはインバータ6a, 6c₁, 6d₁, 6c₂, 6d₂の応答遅れ時間の組合せで決定される。

スイッチ回路7のトランジスタ F_1 のゲートにはクロック \overline{CA} が印加し、トランジスタ F_2 及びトランジスタ F_3 のゲートにはクロックCBが印加し、またトランジスタ F_4 のゲートにはクロックCAが印加する。ここで、クロックCAがHレベル(0 V)でクロックCBがLレベル(-0.7 V)のとき、トランジスタ F_1 , F_3 が共に閉成し、電荷注入コンデンサ C_e が電源電圧($V_{DD} -$

V_{SS}) $= -V_{SS}$ で充電され、この期間においては端子gの電位はトランジスタ F_1 , F_3 の直列合成オン抵抗と電荷注入コンデンサ C_e の時定数で負方向に上昇する。クロックCAがLレベル(-0.7 V)でクロックCBがHレベル(0 V)になると、トランジスタ F_1 , F_3 が開成する共にトランジスタ F_2 , F_4 が開成する。トランジスタ F_2 の開成はコンデンサ C_e の正極電位を電位 V_{SS} だけ積み上げ的下降させ、トランジスタの開成はコンデンサ C_e の負極電位($< V_{SS}$)を端子hに印加し、充電コンデンサ C_c の充電を開始する。このクロックCBのHレベル期間においてはコンデンサ C_e の電荷が充電コンデンサ C_c に注入され、端子gの電位 V_H が負方向に上昇する。このようなトランジスタ F_1 , F_3 とトランジスタ F_2 , F_4 の排他的な開閉動作が繰り返されると、充電コンデンサ C_c の充電量が徐々に増大して端子gの電位 V_H は第3図(F)の如く推移上昇し、やがて電源電圧(0.7 V)の2倍の電位(-1.4 V)の定常値に落ち着く。この端子gの電

位 V_H の上昇過程においては、電位 V_H が -1.1 V を超えると、第3図(B)に示すように、水晶発振回路1の発振が開始し、その発振クロック $CL1$ が内部回路2へ内部システムクロックとして供給され、同時に電源電圧 1.4 V で付勢された内部回路2の所定動作が開始されることになる。

このように、水晶発振回路1の発振開始電圧が 1.1 V 以上でありながら、外部電源として電源電圧 0.7 V の低圧電源 $3'$ を使用することができる。また従来と同様な電源電圧の電源を使用した場合において、寿命により電源電圧が下降しても電源電圧値が 0.7 V 以上であれば、十分に発振クロック $CL1$ が継続し、内部回路2の動作も支障なく実行される。

ところで、上記実施例においては、水晶発振回路1が一度発振を開始した後でも、 CR 発振回路4の発振が継続する。 CR 発振回路4の発振は2倍昇圧回路5におけるスイッチ回路7の各制御信号(ゲート信号)を作成すべき交流源(クロック発生源)たる意義を有し、昇圧電位 V_H を得てこ

出力される発振クロック $CL1$ のいずれか一方を切換えて2倍昇圧回路5へ供給する。また水晶発振検出回路24は、水晶発振回路1の発振有無を検出して、無発振状態のときはクロック選択制御信号 SC を発振クロック $CL2$ の選択モードとし、発振状態のときはクロック選択制御信号 SC を発振クロック $CL1$ の選択モードとすると共に CR 発振回路の発振を停止制御する。

この水晶発振検出回路24の回路構成は、第5図に示すように、水晶発振回路1の出力を受けてその反転出力を生成するインバータ24a、このインバータ24aの入力及び出力をゲート信号とする互いに直列のNチャネル絶縁ゲート電界効果型トランジスタ F_1 、 F_2 、 V_{DD} 電位とトランジスタ F_2 のドレインとの間に介在するコンデンサ C_1 、 V_{DD} 電位とトランジスタ F_1 のドレインとの間に介在するコンデンサ C_2 及び抵抗 R_1 、トランジスタ F_2 のドレイン電位を入力として直列接続したインバータ24b、24c とから構成されている。水晶発振回路1の発振開始を検知した場合に CR

れを内部回路2へ給電する必要があるものの、水晶発振回路2の発振が開始した後は、スイッチ回路7の各制御信号を作成すべきクロックは CR 発振回路1の発振クロック $CL2$ を用いずに水晶発振回路1で生成された発振クロック $CL1$ を帰還利用することが可能である。

第2実施例

第4図は本発明を4ビットMPU半導体集積回路に適用した第2実施例の概略をチップの外形と共に示すブロック図で、第5図は同実施例の回路構成を詳細に示す回路図である。なお、第4図及び第5図において第1図及び第2図に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

この4ビットMPU半導体集積回路20においては、第1実施例の構成に対してクロック選択回路22と水晶発振検出回路24とが付加されている。

クロック選択回路22は、後述するクロック選択制御信号 SC に基づいて CR 発振回路4から出力される発振クロック $CL2$ と水晶発振回路1から

発振回路4の発振継続を停止する手段としては、第2図における RC 発振回路4のインバータ4aに代えて $NAND$ ゲート4a' を用い、水晶発振検出回路24のクロック選択制御信号 SC が $NAND$ ゲート4a' の1入力に供給されている。

一方、クロック選択回路22の回路構成は複合ゲートで、発振クロック $CL1$ 及びインバータ22aにより反転生成された信号 \overline{SC} を2入力とする AND ゲート22bと、クロック選択制御信号 SC 及び発振クロック $CL2$ を2入力とする AND ゲート22cと、両 AND ゲート22b、22cの出力を2入力とする NOR ゲート22d とから構成されている。

第6図を参照して上記第2実施例の動作を説明すると、まず電源 $3'$ の投入により第6図(A)に示すように、電源電圧 ($-V_{SS}$) が 0.7 V にまで達し、発振クロック $CL2$ が生成される。この時点では水晶発振回路1からは未だ発振クロック $CL1$ が生成されていないから(第6図(B)参照)、水晶発振検出回路24のトランジスタ F_1 が

開成状態のままで、インバータ24bの入力は電位 V_{DD} にプルアップされており、クロック選択制御信号SCはHレベル(-0.7V)たる発振クロックCL2の選択モードにある。即ち、第6図(D)に示すようにクロック選択制御信号SCがHレベルのときは、クロック選択回路22は第6図(E)に示すように発振クロックCL2を選択出力し、これを2倍昇圧回路5へ提供する。これにより、第6図(F)、(G)に示すように、2相クロック生成回路6でクロックCAとクロックCBが発生し、第1実施例と同様に、-1.1V以上の昇圧電位 V_H が水晶発振回路1と内部回路2へ給電され、水晶発振回路1は第6図(B)に示す如くの発振クロックCL1を生成し、これを内部回路2へ提供する。この発振クロックCL1が生成すると、水晶発振検出回路24におけるトランジスタ F_1 と F_2 が交互に断続し、コンデンサ C_1 と C_2 が徐々に充電され、第6図(D)に示すように、やがてクロック選択制御信号SCのレベルがゼロ(V_{DD})レベルへ変化する。このゼロレベル

の信号SCが水晶発振回路4のNANDゲートの1入力に印加されると、第6図(C)に示すように、CR発振回路4の発振が停止する。これと同時にクロック選択回路22は第6図(E)に示すように発振クロックCL1を選択し、これを2倍昇圧回路5へ供給する。そして2倍昇圧回路5の2相クロック生成回路6で、発振クロックCL1に基づくクロックCA'とクロックCB'が第6図(F)、(G)の如く生成され、今度はこれらのクロックCA'、CB'によってスイッチ回路7の切り換え動作が制御されて昇圧電位 V_H が継続的に現れる。

このように、一旦、発振クロックCL1が発生してしまうと、スイッチ回路7の切り換え動作のためのクロックCA'、CB'は生成された発振クロックCL1から作成されるので、CR発振回路4の発振継続は不要で、電源3'の無効電力を抑制することができる。例えば電源3'が電池のときには電池寿命を延ばすことができる。もっとも、電源3'が低圧電源でありながら消費電力が

問題とならない場合には、第1実施例におけるような簡易な構成を採用できるであろうが、この第2実施例の別の利益としては、2つの発振回路の並列的な発振継続を排除したところにもある。即ち、水晶発振回路1は基本的に水晶振動子1aの固有振動数(例えば32.768kHz)で発振するが、一般的にこの固有振動数の奇数倍の周波数(オーバーートン周波数)でも発振し易く、高調波成分も出力される。また矩形パルスの発振であるため、その分、高調波成分が多く混在し、ノイズ対策に配慮する必要もある。かかる状況において、CR発振回路4が発振を継続すると、発振クロックCL2の周波数ではないが、やはり高調波も発生し、前者のオーバーートン周波数や高調波と後者の高調波とが電源線等を介して干渉し、電源電圧の安定性を阻害するおそれがある。もっとも、小容量のバイパスコンデンサを付設して安定化を図ることも可能であるが、半導体基板上にコンデンサを作り込むことはチップサイズの縮小化を図る点で望ましくない。この電源電圧の不安定性は水晶

発振回路1及び内部回路2の動作上の信頼性に影響することは言うまでもないが、これらの回路は既に1.1V以上の電源電圧で付勢されているので、ある程度の電源電圧の変動に対して支障無く動作する。一方、クロック選択回路22や2倍昇圧回路5の電源電圧は0.7Vであるから、MOSFETのオン電圧がシリコン半導体では一般的に0.6V程度であることから考えると、ノイズマージンは高々0.1Vである。したがって、極力ノイズ源たるCR発振回路4の発振を水晶発振回路1の発振開始以降は停止する必要が生まれる。

クロック選択回路22や2倍昇圧回路5の動作の信頼性を保障するためには、上記のごときノイズ源を除去することの他に、論理振幅のノイズマージンを拡大することである。そのためには、一旦生成された昇圧電圧自体をクロック選択回路22や2倍昇圧回路5の電源電圧として利用することによりノイズマージンを0.5V以上に設定し直すことも可能である。

上述したように、電源電圧の不安定性は水晶発

振回路1及び内部回路2の動作上の信頼性に影響することは言うまでもない。昇圧電位 V_H は第6図(H)に示しようにリップル成分を持って-1.4V程度で平衡状態となるが、それ以降もリップル成分を有しており、ある程度の不安性がある。

第3実施例

第7図は本発明を4ビットMPU半導体集積回路に適用した第3実施例の概略をチップの外形と共に示すブロック図で、第8図は同実施例の回路構成を詳細に示す回路図である。なお、第7図及び第8図において第4図及び第5図に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

この4ビットMPU半導体集積回路30においては、第2実施例の構成に加えて定電圧回路35が設けられている。定電圧回路35は第8図に示す如くの回路構成で、2倍昇圧回路7で生成された昇圧電位 V_H はこの定電圧回路35に給電されている。

定電圧回路35における絶縁ゲート電界効果型トランジスタ F_7 はデプレッション型トランジスタ

であり、残りのトランジスタ $F_8 \sim F_{14}$ はエンハンスメント型トランジスタである。 F_7 と F_8 、 F_9 と F_{10} 、 F_{12} と F_{13} 、 F_{14} と F_{15} のペアを成すトランジスタはチャネル幅とチャネル長がそれぞれ同一に設定されており、トランジスタ F_7 と F_8 との閾値電圧の差はイオン打ち込み濃度差により決定されている。トランジスタ F_7 と F_{10} の導電型とチャネルサイズが同一で、ゲート電位も同電位であるから、両トランジスタ F_7 、 F_{10} に流れる電流 I は等しい。トランジスタ F_7 のゲート電位はゼロ(V_{DD})であるが、このトランジスタ F_7 はデプレッション型であるから、電流が流れるが、トランジスタ F_8 はエンハンスメント型であるから、そのゲート電位は一定電位 V_0 (< 0)である。トランジスタ $F_{12} \sim F_{15}$ はカレントミラー回路を構成しているので、トランジスタ F_{15} のゲート電位は V_0 である。したがって抵抗 R_5 、 R_6 に流れる電流を I_{NS} 、出力電位を V_{NS} とすれば、次の式が与えられる。

$$-V_{NS} = (R_5 + R_6) I_{NS} \quad \dots (1)$$

$$-V_0 = R_5 I_{NS} \quad \dots (2)$$

(1)、(2)式により、

$$V_{NS} = V_0 \cdot (R_5 + R_6) / R_5 \quad \dots (3)$$

この出力電位 V_{NS} は一定電位 V_0 の定数倍(> 1)であるから、-1.4V以下の定電位に設定することができる。本実施例では第7図(1)に示すように、定電位 V_{NS} を約1.4Vに設定してある。この定電位 V_{NS} は水晶発振回路1及び内部回路2へ印加されているが、勿論、クロック選択回路22及び2倍昇圧回路7へも供給しても良い。

第9図に示すように、この実施例の動作は第2実施例のそれとほぼ同様であるが、2倍昇圧回路から出力される昇圧電位 V_H が大きくなると、第9図(1)に示すように、定電位 V_{NS} がリップル成分がなく-1.4Vで定常化する。このため、水晶発振回路1の動作が安定的で、また生成されるクロック $CL1$ も初期から定電圧 V_{NS} 間で振動する論理振幅を有する。更に、内部回路2の電源電圧が安定化するので、動作の信頼性が第2実施例に比して高い。

なお、上記各実施例においては2倍昇圧回路5が使用されているが、これに限らず3倍、4倍等の逡倍昇圧回路を用いても良い。また上記各実施例における水晶発振回路1は水晶振動子1aを用いたものであるが、セラミックス振動子などを用いることが可能で、圧電型振動子であれば良い。更に低電圧駆動型の発振回路としては、CR発振回路4に限らず、LC発振回路を用いることもできる。

上記第2及び第3実施例においては、発振クロック $CL1$ の発振有無の検知情報は水晶発振回路の出力端の発振を直接的に検知することで得られるが、これに限らず昇圧回路から生成される昇圧電位の検出やCR発振回路の発振開始時点からの時間計測に基づいて間接的に水晶発振回路の発振開始時点を判断することが可能である。

〔発明の効果〕

以上説明したように、本発明は、まず低電圧で動作する低電圧駆動型発振回路を発振させて、その発振クロックを用いて昇圧回路により電源電圧

に比して高い電源電圧を生成し、この電源電圧で圧電型発振回路を発振させると共に、同電源電圧で内部回路を付勢する点に特徴を有するものであるから、次の効果を奏する。

① 水晶発振回路の発振開始電圧以下の低電圧電源だけを外部電源として使用することが可能である。また外部電源が電池などの場合には寿命により電源電圧が下降しても、水晶発振回路の発振を従来に比して長く持続させることができる。

② 水晶発振検出回路及びクロック選択回路を付加した構成によれば、無効電力の削減が図れると共に、ノイズによる電源電圧の変動を抑制することができる。

③ 定電圧回路を付加した構成によれば、水晶発振回路の発振特性の安定化と共に、内部回路の動作の信頼性も高めることができる。

4. 図面の簡単な説明

第1図は本発明を4ビットMPU半導体集積回路に適用した第1実施例の概略を示すブロック図である。

ート図である。

第10図は従来の水晶発振回路を備える半導体集積回路の概略構成を示すブロック図である。

(主要符号の説明)

- 1…水晶発振回路
- 1 a…水晶振動子
- 2…内部回路
- 3'…電源電圧0.7 Vの外部電源
- 4…CR発振回路
- 5…2倍昇圧回路
- 6…2相クロック生成回路
- 7…スイッチ回路
- 22…クロック選択回路
- 24…水晶発振検出回路
- 35…定電圧回路
- 10, 20, 30…4ビットMPU半導体集積回路。

出願人 セイコーエプソン株式会社
代理人 弁理士 鈴木 喜三郎
(他 1名)

第2図は同実施例の回路構成を示す回路図である。

第3図(A)乃至(F)は同実施例の動作を説明するための各種電圧波形を示すタイミングチャート図である。

第4図は本発明を4ビットMPU半導体集積回路に適用した第2実施例の概略を示すブロック図である。

第5図は同実施例の回路構成を示す回路図である。

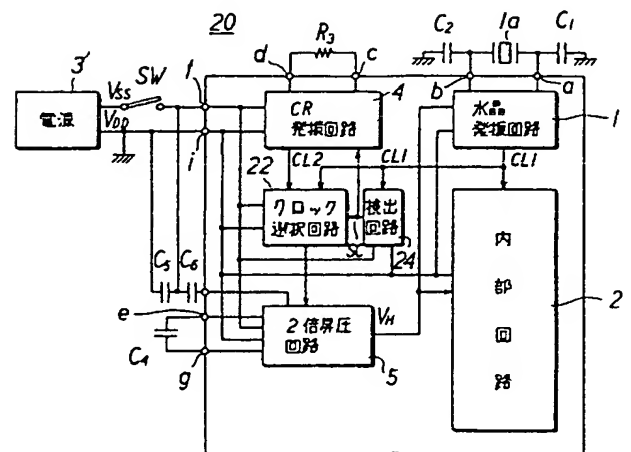
第6図(A)乃至(II)は同実施例の動作を説明するための各種電圧波形を示すタイミングチャート図である。

第7図は本発明を4ビットMPU半導体集積回路に適用した第3実施例の概略を示すブロック図である。

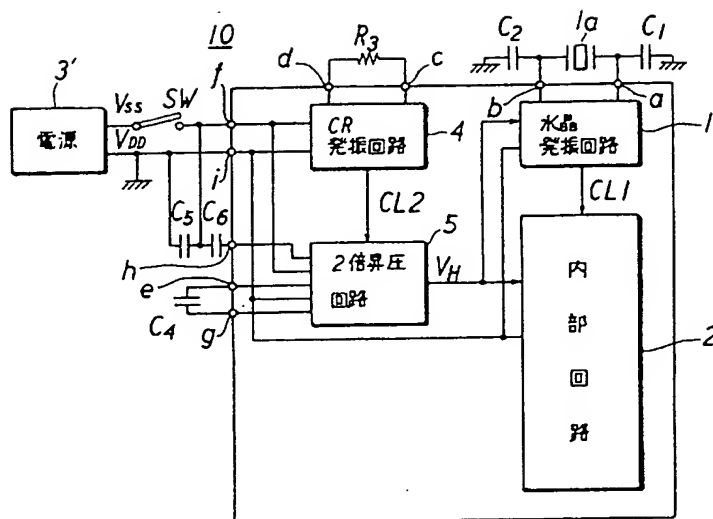
第8図は同実施例の回路構成を示す回路図である。

第9図(A)乃至(I)は同実施例の動作を説明するための各種電圧波形を示すタイミングチャ

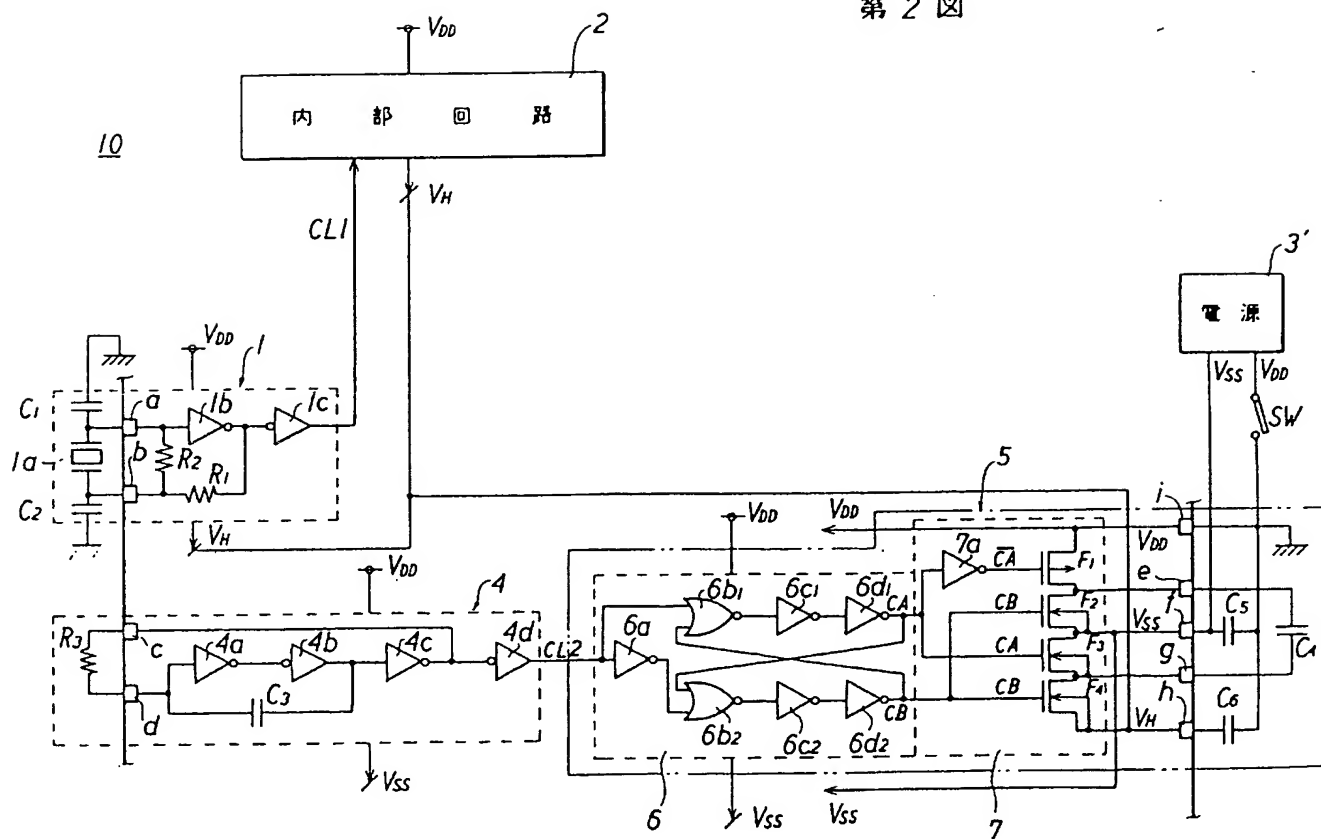
第4図



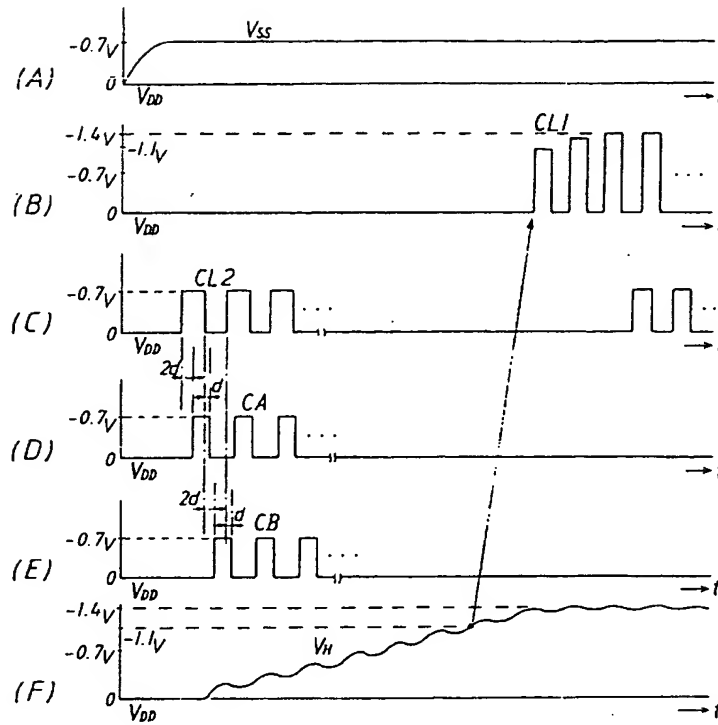
第 1 図



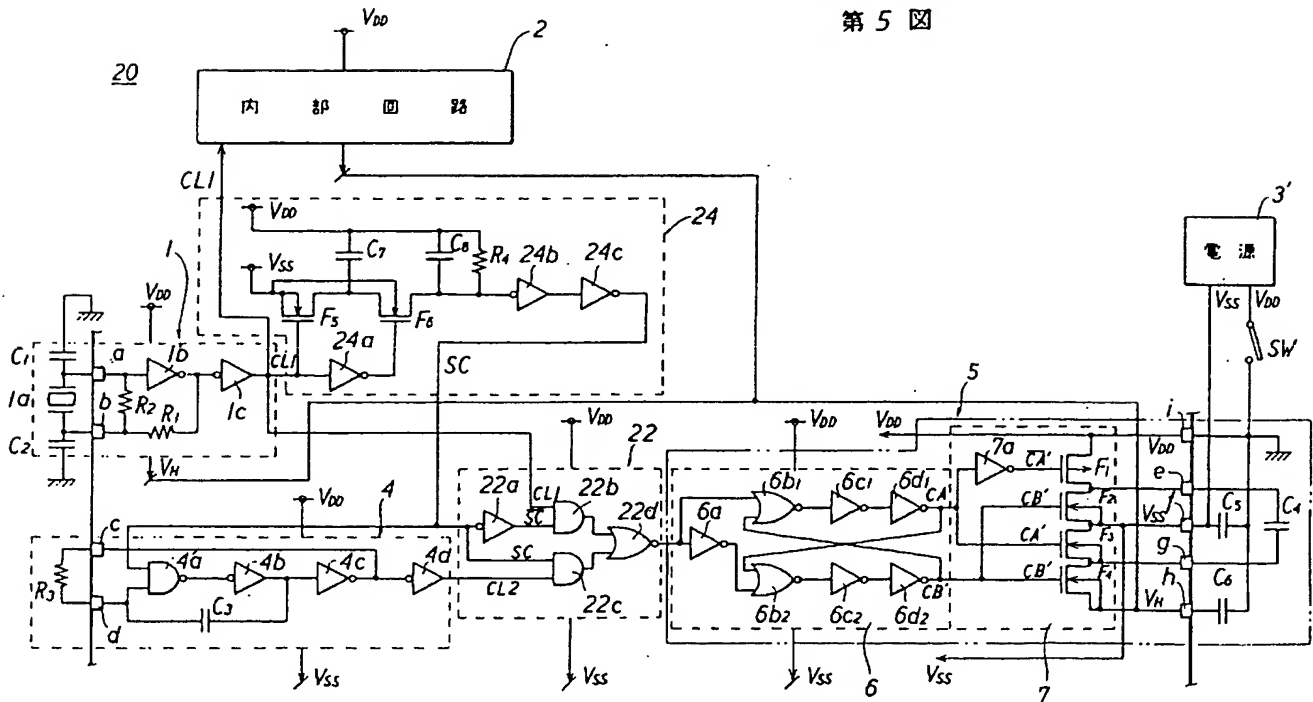
第 2 図



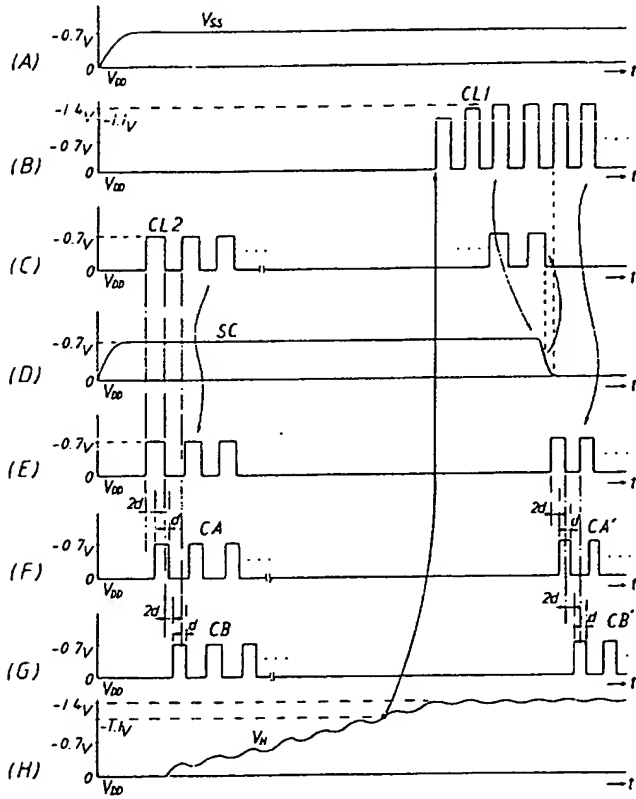
第 3 図



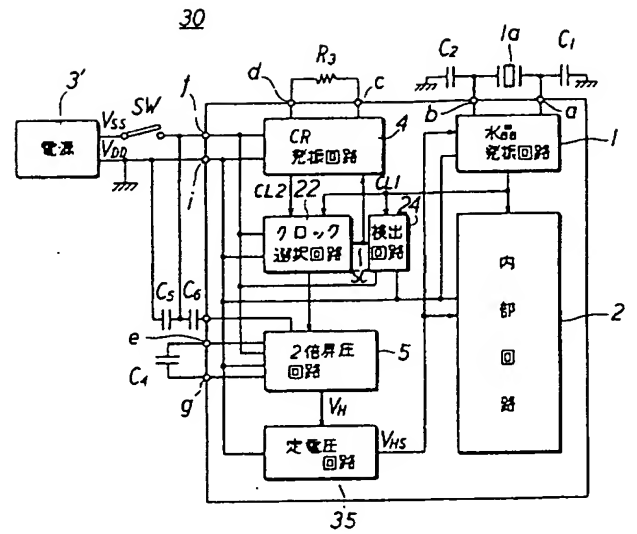
第 5 図



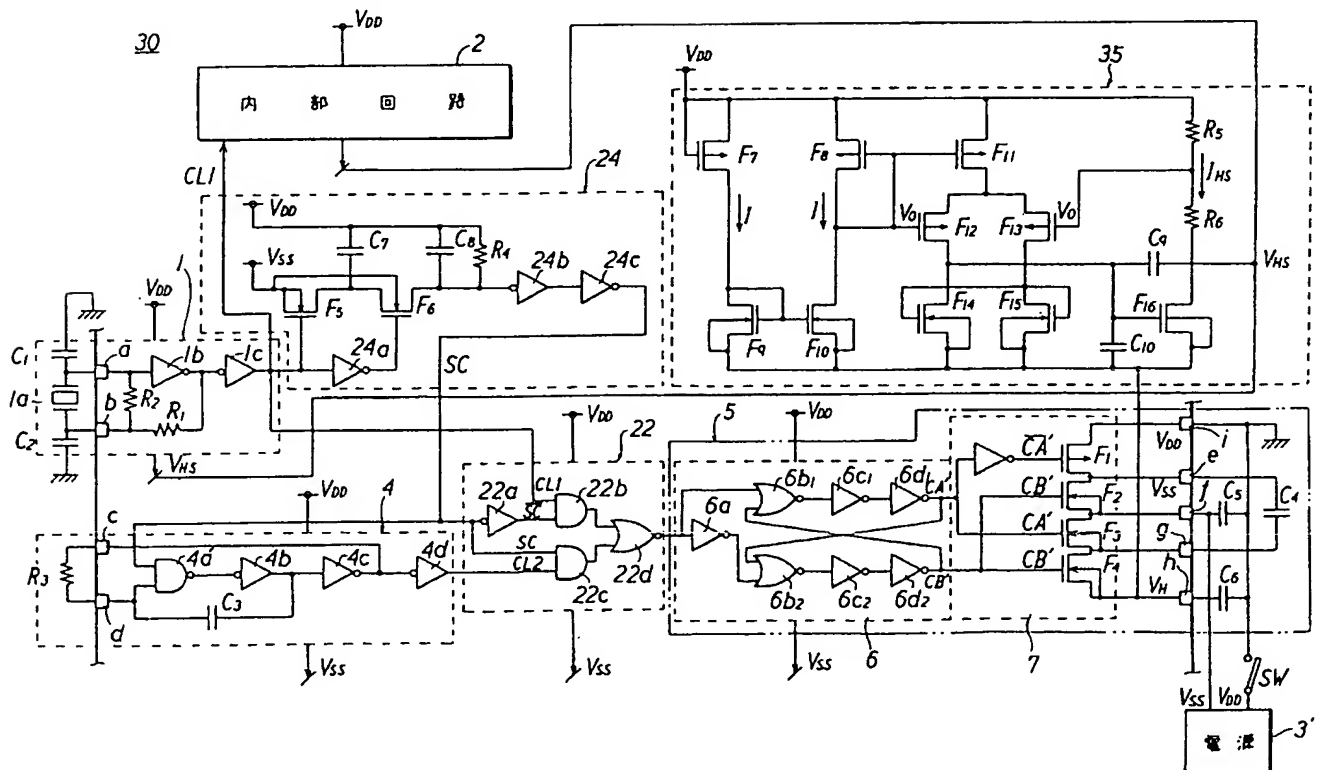
第 6 図



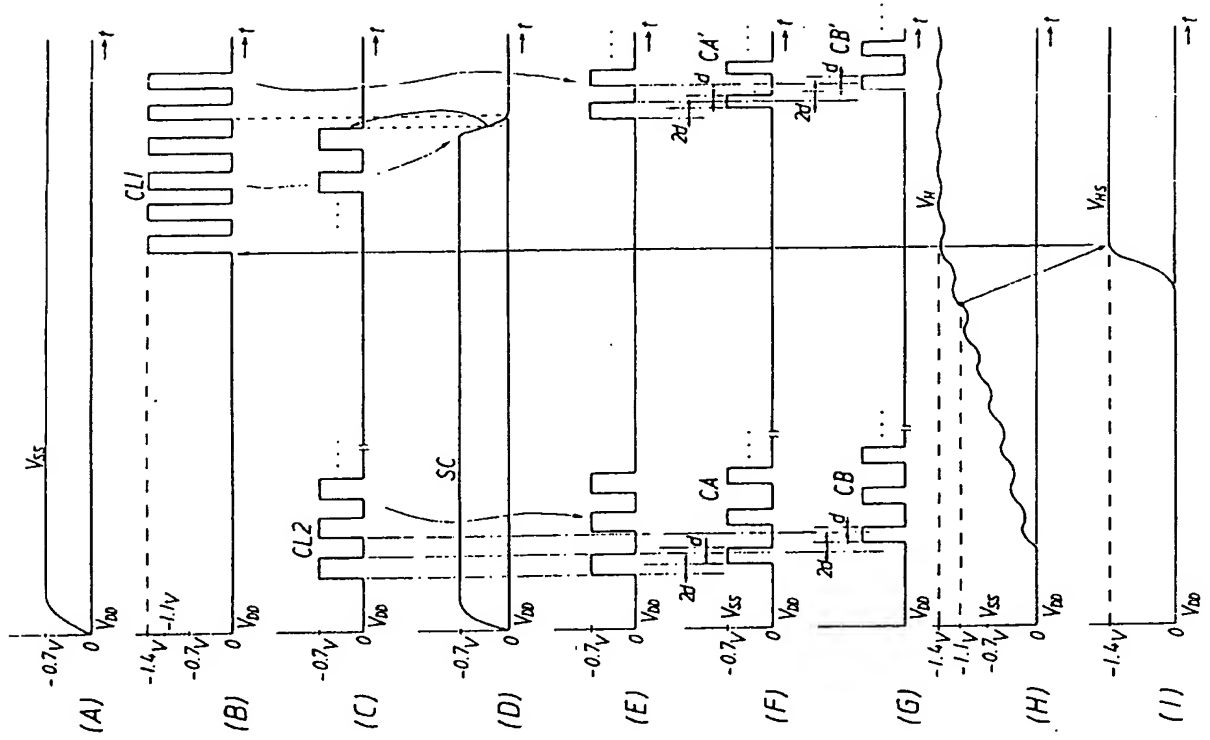
第 7 図



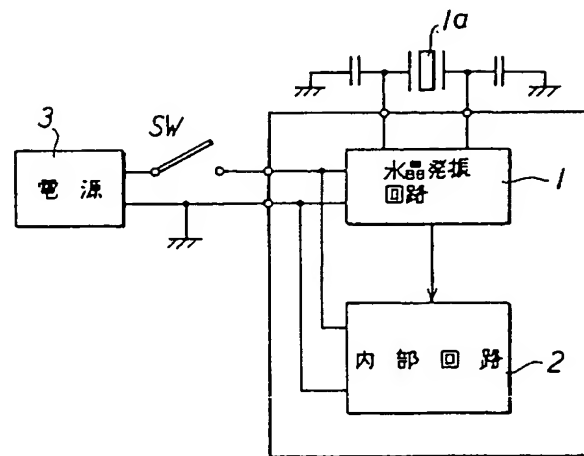
第 8 図



第9図



第10図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.